

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-116047
 (43)Date of publication of application : 07.05.1996

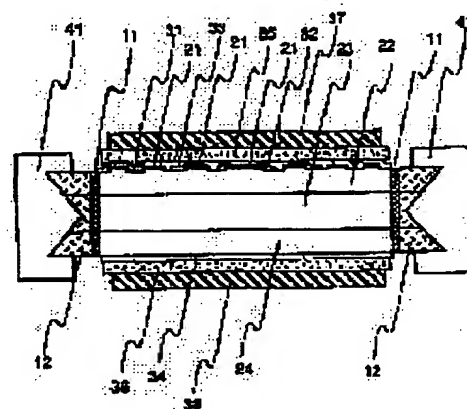
(51)Int.Cl. H01L 29/74
 H01L 21/66

(21)Application number : 06-253195 (71)Applicant : HITACHI LTD
 (22)Date of filing : 19.10.1994 (72)Inventor : ISHIKAWA KATSUMI
 SAITO KATSUAKI
 SATO YUTAKA
 MURAKAMI SUSUMU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE THEREOF**(57)Abstract:**

PURPOSE: To suppress the amount of heat which is generated in the parts, where to external electrodes do not apply in an ON-state, and to decrease a leakage current in an OFF-state by a method wherein the relation between the respective carrier lifetimes in first regions in contact with electrode plates, second regions between the end parts of the electrode plates and the end parts of a semiconductor substrate and third regions, which respectively encircle the second regions and respectively are in contact with the surfaces of the end parts of the substrate, is specified.

CONSTITUTION: Low lifetime regions 11 are respectively provided on the outsides of regions with which an upper intermediate electrode plate 35 and a lower intermediate electrode plate 36 respectively come in contact. High lifetime regions 12 are respectively provided evenly on the outsides of the regions 11. As the end surfaces of a semiconductor substrate subjected to bonding work are respectively located at the regions 12, a leakage current in an OFF-state is reduced, the amount of heat, which is generated in the end parts of the substrate, is decreased and the breakdown strength of the substrate is improved. Moreover, as the regions 11 are respectively interspersed between the operating regions, with which the intermediate electrode plates are in contact, and the regions 12, a current does not extend from the operating regions to the end part regions of an element, with which the intermediate electrode plates are not in contact, in an ON-state.

**LEGAL STATUS**

[Date of request for examination] 17.09.1999
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3239643
 [Date of registration] 12.10.2001
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-116047

(43) 公開日 平成8年(1996)5月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/74 21/66		M 7735-4M	H 0 1 L 29/ 74	F J
審査請求 未請求 請求項の数 6 O L (全 7 頁)				

(21) 出願番号 特願平6-253195

(22) 出願日 平成6年(1994)10月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 石川 勝美

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 斉藤 克明

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 佐藤 裕

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

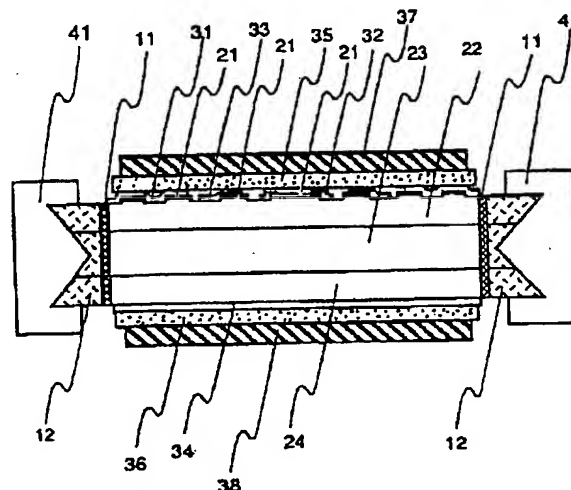
(57) 【要約】

【目的】 圧接型半導体装置において、電極板と接触しない領域における熱の発生量を抑制し、熱損失を低減しかつ破壊耐量を向上する。

【構成】 半導体基体は、電極板が接触する第1の領域、電極板の端と半導体基体の端部との間の第2の領域、及び第2の領域を囲み半導体基体の端部表面に接する第3の領域を有し、第1の領域のキャリアライフタイムが、第2の領域のキャリアライフタイム以上、第3の領域のライフタイム以下であり、第2の領域のキャリアライフタイムが、第3の領域のキャリアライフタイムよりも小さい。

【効果】 素子端部において、オン状態に流れる電流及びオフ状態での洩れ電流が低減し、発熱量が少なくなる。

図 1



1

【特許請求の範囲】

【請求項1】 一对の主表面間にpn接合を有する半導体基体と、

一方の主表面に設けられる電極と、を備え、

電極には電極板が接触し、

半導体基体は、電極板が接触する第1の領域、電極板の端と半導体基体の端部との間の第2の領域、及び第2の領域を囲み半導体基体の端部表面に接する第3の領域を有し、

第1の領域のキャリアライフタイムが、第2の領域のキャリアライフタイム以上、第3の領域のライフタイム以下であり、

第2の領域のキャリアライフタイムが、第3の領域のキャリアライフタイムよりも小さいことを特徴とする半導体装置。

【請求項2】 請求項1において、第2の領域の幅が、第2の領域のキャリア拡散長以上であることを特徴とする半導体装置。

【請求項3】 請求項1において、第2の領域がオフ状態において空乏層が広がらない領域に設けられることを特徴とする半導体装置。

【請求項4】 一对の主表面間にpn接合を有する半導体基体を準備する第1の工程と、

半導体基体の主表面に電極を形成する第2の工程と、

半導体基体において、半導体基体をパッケージに組み込んだときに電極板と接触する領域、及び電極板の端と半導体基体の端部との間の領域のキャリアライフタイムを短縮する第3の工程と、を有することを特徴とする半導体装置の製造方法。

【請求項5】 一对の主表面間にpn接合を有する半導体基体を準備する第1の工程と、

半導体基体の主表面に電極を形成する第2の工程と、

半導体基体の端部表面に接する領域のキャリアライフタイムを長くする第3の工程と、を有することを特徴とする半導体装置の製造方法。

【請求項6】 一对の主表面間にpn接合を有する半導体基体を準備する第1の工程と、

半導体基体の主表面に電極を形成する第2の工程と、

半導体基体において、半導体基体をパッケージに組み込んだときに電極板の端と半導体基体の端部との間に位置する領域のキャリアライフタイムを短縮する第3の工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に関し、特に圧接型の電力用半導体装置に関するものである。

【0002】

【従来の技術】 一般に、電力用半導体装置では、主耐圧を得るために半導体基体の接合表面にベベル構造などの

2

特別な接合終端領域を用いる。このため、動作時に熱が発生する部分の全ての表面に対して電極を圧接することは困難である。また、加圧接触型（圧接型）パッケージは、放熱、半導体径などの特殊な条件を満足させるために、スタッド型、フラット型などが用いられている。これらのパッケージにおいては、熱の発生源である半導体基体の面内で、圧接電極が十分に強く当たっている部分の放熱は良好であるが、圧接電極が当たっていない部分の放熱は非常に悪い。

【0003】 従って、このような圧接型パッケージを用いる従来の電力用半導体装置には、放熱対策として、外部電極が半導体基体に当たる部分の面積ができるだけ大きくなるように設計したり、半導体基体と熱膨張係数が酷似しているモリブデン(Mo)やタングステン(W)などの熱緩衝板に半導体基体を固着したりしていた。しかし、このような場合でも、半導体基体の面内で外部電極が当たらない部分の部分的な放熱不足が生じ、半導体素子が破壊してしまうことがあった。

【0004】 熱の発生量を抑制する技術として、特開平3-145161号公報に記載するような、半導体基体のライフタイムを部分的に制御する技術がある。これは、電子線やアルファ線などの放射線照射や重金属の拡散などの方法を用いて、半導体基体面内の結晶欠陥密度に、外部電極に接触しない放熱が悪い熱発生部分におけるキャリアのライフタイムが外部電極に接触する比較的放熱が良い部分におけるキャリアのライフタイムよりも短くなるような分布を持たせる。このことにより、半導体基体の表面内で、外部電極が当たらない熱発生部分は、キャリアのライフタイムの短縮により電流分担が少なくなっているため、熱の発生量が抑制され、半導体素子の破壊耐量が増加する。

【0005】

【発明が解決しようとする課題】 しかし、半導体基体の端面では微量な汚染などによる電荷の影響で、オフ状態での洩れ電流の増大を引き起こし、半導体基体端部での発熱から破壊耐量が減少するという問題がある。特開平3-145161号公報に記載の技術の場合、半導体基体の端部でもキャリアのライフタイムが低下するために、オフ状態において半導体基体端部での発生電流が増加して、熱の発生量が大きくなる。このため、半導体端部での温度上昇が起き、半導体端部での洩れ電流の増加から熱暴走を起こし、素子の破壊耐量が減少してしまうという問題がある。

【0006】 本発明は上記問題点を解決すべくなされたもので、その目的は、オン状態での半導体基体面内で外部電極が当たらない部分の熱の発生量を抑制すると同時に、オフ状態では、半導体端部での洩れ電流を少なくし熱発生を減らして、熱損失が少なくかつ破壊耐量が増加した半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の半導体装置は、
 一对の主表面間にpn接合が形成される半導体基体と、
 その一方の主表面に設けられる電極を持っている。そし
 て、半導体基体に設けられた電極には、電極板が接触す
 る。ここで、半導体基体には、電極板が接触する第1の
 領域、電極板の端と半導体基体の端部との間の第2の領
 域、及び第2の領域を囲み半導体基体の端部表面に接す
 る第3の領域が有る。そして、第1の領域のキャリアラ
 イフタイム(τ_1)の大きさが、第2の領域のキャリア
 ライフタイム(τ_2)以上であるとともに、第3の領域
 のライフタイム(τ_3)以下である。さらに、第2の領
 域のキャリアライフタイムの大きさは、第3の領域のキ
 ャリアライフタイムよりも小さい。すなわち、 $\tau_2 \leq \tau_1$
 $\leq \tau_3$ かつ $\tau_2 < \tau_3$ である。また、本発明の半導体装置
 の製造方法は、次のような各工程を有する。

【0008】(1) 一对の主表面間にpn接合を有する
 半導体基体を準備する第1の工程。

(2) 半導体基体の主表面に電極を形成する第2の工
 程。

【0009】(3) 半導体基体のキャリアライフタイム
 を制御するための、以下の(a)～(c)の内のいずれ
 かの第3の工程。

【0010】(a) 半導体基体において、半導体基体を
 パッケージに組み込んだときに電極板と接触する領域、
 及び電極板の端と半導体基体の端部との間の領域のキ
 ャリアライフタイムを短縮する第3の工程。

【0011】(b) 半導体基体の端部表面に接する領域
 のキャリアライフタイムを長くする第3の工程。

【0012】(c) 半導体基体において、半導体基体を
 パッケージに組み込んだときに電極板の端と半導体基体
 の端部との間に位置する領域のキャリアライフタイムを
 短縮する第3の工程。

【0013】

【作用】半導体基体の端部表面に接する第3の領域のキ
 ャリアライフタイムが電極板が接触する第1の領域にお
 けるキャリアライフタイム以上であるので、オフ状態に
 おける半導体基体の端部での洩れ電流が少なくなる。従
 って、電極板が接触しない半導体基体端部での熱発生が
 少なくなるので、半導体装置の破壊耐量が増加する。

【0014】また、電極板の端と半導体基体の端部との
 間の第2の領域のキャリアライフタイムが、第1の領域
 のキャリアライフタイム以下であり、かつ第3の領域の
 キャリアライフタイムよりも小さいので、オン状態にお
 いて動作領域である第1の領域から電極板が接触しない
 半導体基体端部への電流の広がり小さくなる。このた
 め、半導体基体端部での熱発生が低減する。これによ
 り、電極板が接触しない半導体基体端部において、オン
 状態における熱発生がオフ状態における温度上昇を助長
 することが無くなる。

【0015】なお、本発明の半導体装置においては、第
 2の領域と第3の領域は、電極板と接触する第1の領域
 すなわちオン状態における動作領域と接するかまたは離
 れているので、各領域のキャリアライフタイムの違いが
 動作領域内におけるキャリア密度のバラツキすなわち動
 作状態の不均一を生じることがない。

【0016】本発明による半導体装置の製造方法によれ
 ば、第1の領域のキャリアライフタイム(τ_1)、第2
 の領域のキャリアライフタイム(τ_2)、及び第3の領
 域のライフタイム(τ_3)に次の関係をもたすことが
 できる。すなわち、第3の工程が(a)及び(b)の場
 合には、少なくとも $\tau_2 = \tau_1$ かつ $\tau_2 < \tau_3$ とすることが
 でき、(c)の場合には、少なくとも $\tau_1 = \tau_3$ かつ τ_2
 $< \tau_3$ とすることができる。これらの関係は、本発明の
 半導体装置における $\tau_2 \leq \tau_1 \leq \tau_3$ かつ $\tau_2 < \tau_3$ という
 関係に含まれる。すなわち、本発明の製造方法によれ
 ば、本発明の半導体装置を得ることができる。

【0017】

【実施例】以下、本発明の実施例を図面により詳細に説
 明する。

【0018】図1に本発明の一実施例である圧接型サイ
 リスタの断面構造を示す。サイリスタはnエミッタ層2
 1、pベース層22、nベース層23、pエミッタ層2
 4の4層構造によりなる。本実施例では、6kV以上の
 耐圧を得るために、nベース層23の比抵抗を 500Ω
 $\cdot \text{cm}$ 以上としている。ここで、pベース層22及びpエ
 ミッタ層24はnベース層23よりも高不純物濃度であ
 り、さらにnエミッタ層21はpベース層22よりも高
 不純物濃度である。nエミッタ層21、pベース層22
 はカソード電極31及びパイロットサイリスタのカソー
 ド電極32及び補助サイリスタのカソード電極33によ
 り部分的に短絡され、pエミッタ層24はアノード電極
 34に接している。さらに、カソード電極31は上部中
 間電極板35を介して上部電極ボスト37に、またアノ
 ード電極34は下部中間電極板36を介して下部電極ボ
 スト38により加圧されている。素子端部は、放電及び
 耐圧低下を防止するためにベベルされ、パッシベーショ
 ン膜41により覆われている。

【0019】本実施例では、上部中間電極板35及び下
 部中間電極板36が当たらない部分でのオン状態におけ
 る熱の発生量を抑制するための低ライフタイム領域1
 1、さらにオフ状態における半導体基体端部での洩れ電
 流を抑制するための高ライフタイム領域12を有する。

【0020】この低ライフタイム領域11は、上部中間
 電極板35及び下部中間電極板36が接触する領域の外
 側、すなわち各電極板の端部から外側に設ける。低ライ
 フタイム領域の幅は、本領域のnベース層におけるキ
 ャリアの拡散長以上とする。また、nベース層のキャリ
 アライフタイム(以下単にキャリアライフタイムと記す)
 は、上部中間電極板35及び下部中間電極板36が接触

する領域のキャリアライフタイムの約1/4倍程度とする。

【0021】また、高ライフタイム領域12は、低ライフタイム領域11の外側に一様に設け、キャリアライフタイムは上部中間電極板35及び下部中間電極板36が接触する領域のキャリアのライフタイムの約2倍程度とする。

【0022】本実施例によれば、ベベル加工された半導体基体の端面が高ライフタイム領域12に在るため、オフ状態における洩れ電流が少なくなる。これにより、オフ状態において、半導体基体端部での発熱量が少なくなり、破壊耐量が向上する。さらに、中間電極板が接触する動作領域と高ライフタイム領域との間に、電流が流れにくい低ライフタイム領域が介在するので、オン状態において動作領域から中間電極板が接触しない素子端部の領域（すなわち高ライフタイム領域と低ライフタイム領域からなる領域）へ電流が広がらない。従って、オン状態においても、半導体基体端部での発熱量が少なくなる。このため、オン状態における発熱がオフ状態における温度上昇を助長して、熱暴走を引き起こすことを防止できる。

【0023】図2は、図1の実施例の変形例を示す。前実施例と異なる点は、低ライフタイム領域11aが、pベース層22及びpエミッタ層24内のみに設けたことである。これらの低ライフタイム領域11aは、アノード電極34とカソード電極31の間に定格の順方向または逆方向の阻止電圧を印加したときに、pベース層22またはpエミッタ層24内において空乏層が広がらない領域に設ける。これにより、前実施例の持つ効果に加え、半導体基体のバルク内で発生する洩れ電流が少なくなるという効果がある。

【0024】次に、図2の実施例の製造方法を説明する。比抵抗 $500\Omega\cdot\text{cm}$ 以上のシリコンの半導体基体を用いて、nエミッタ層21、pベース層22、nベース層23およびpエミッタ層24からなる4層構造を形成し、カソード電極31及びアノード電極33及びパイロットサイリスタのカソード電極32及び補助サイリスタのカソード電極33を形成する（図3）。この後、パッケージに組んだときに上部中間電極板35及び下部中間電極板36が接触する半導体基体内の領域に、電子線を一様に照射して、上部中間電極板35及び下部中間電極板36間の半導体基体内のライフタイムを、照射していない部分の1/2倍程度にする。上記電子線を選択的に照射するマスクは、厚さ5mm程度のMo板51などを用いる（図4）。このことにより、半導体素子の端面では、キャリアのライフタイムが高くなっているため、オフ状態における半導体素子の端部での洩れ電流を少なくすることができる。また、ライフタイムを低くするには電子線を照射する方法の他に、プロトンを照射する方法、重金属を拡散する方法などがある。これらの方法によって

も同様の効果が得られる。

【0025】次に、上部中間電極板35及び下部中間電極板36が当たらない部分でのオン状態における熱の発生量を抑制するための低ライフタイム領域11の形成方法を説明する。この低ライフタイム領域の形成には、プロトンまたはアルファ粒子を照射する方法が望ましい。これらの粒子は、半導体中に打ち込まれた際に電氣的及び化学的に不活性であるとともに、 γ 線や電子線と異なり、表面から照射エネルギーで決まる一定の距離だけ進入しその位置にピークを持つ欠陥を生じることができる。したがって、入射エネルギーを変えることにより、低ライフタイム領域を空乏層の拡がらない領域に正確に形成できる（図5）。また、ライフタイムの値は照射線量を変えることにより制御できる。そのため、低ライフタイム領域を空乏層の拡がらない領域に正確に形成することができる。また、ライフタイムを低くするには、プロトンまたはアルファ粒子を照射する方法の他にも、電子線を照射する方法、重金属を拡散する方法などがあるが、これらの方法によっても同様の効果が得られる。

【0026】この後、半導体基体の端面部分のベベル加工、パッシベーション膜の形成等必要な処理を施し、パッケージに組み込み素子を製造することにより、図1及び図2に示される半導体装置を製造することができる。本発明の実施例には、 Σ ベベルを示したが、二段ベベル及びシングルベベルなど、端面形状に拘わらず適用できる。

【0027】以上図2の実施例の製造方法について説明したが、低ライフタイム領域の形成方法及び形成条件（例えばプロトンまたはアルファ粒子の照射エネルギー）を適宜選択することにより、図1の実施例も製造することができる。

【0028】なお本製造方法においては、中間電極板に接触する動作領域のキャリアライフタイムを短縮しているので、逆方向回復電荷を低減することもできる。

【0029】図6に、本発明の他の実施例である圧接型サイリスタを示す。図1と同じ部分には同じ符号を用いた。本実施例では、中間電極板と接触する領域と高ライフタイム領域12のキャリアライフタイムの大きさを等しくしている。低ライフタイム領域11の作用・効果は前実施例と同様である。

【0030】ここで、図6に示された半導体装置の製造方法を説明する。図2の実施例と同様に、まずシリコンの半導体基体に、nエミッタ層21、pベース層22、nベース層23およびpエミッタ層24からなる4層構造を形成し、カソード電極31及びアノード電極34及びパイロットサイリスタのカソード電極32及び補助サイリスタのカソード電極33を形成する。次に、上部中間電極板35及び下部中間電極板36が当たらない領域において、プロトンまたはアルファ粒子を局所的に照射し、半導体基体内の主電極の外周部分に隣接する領域の

7

ギャリアのライフタイムを、カソード電極31およびアノード電極34間のギャリアのライフタイムの約1/4倍程度にする。また、低ライフタイム領域の幅は、拡散長程度とする。この後、半導体基体の端面部分のベベル加工、パッシベーション膜の形成等必要な処理を施して、パッケージに組み込み素子を製造する。

【0031】本実施例によれば、半導体基体の端面部分にはライフタイム制御を施さないで、洩れ電流を小さくすることができる。また、動作領域におけるライフタイムを制御する工程を省略できるので、製造方法が簡単になる。

【0032】図7に、本発明の別の実施例を示す。図1と同じ部分には同じ符号を用いた。ここで、本実施例においては、低ライフタイム領域は設けず、半導体基体の中間電極板に接触する領域が、中間電極板の端よりもベベル端面の方へ延びている。ここで、中間電極板の端と高ライフタイム領域の間の領域の幅は、中間電極板に接触する領域のnベース層におけるキャリア拡散長以上とする。本実施例は、いわば、図1の実施例において、低ライフタイム領域のキャリアライフタイムを中間電極板が接触する領域のキャリアライフタイムと等しくしたものである。

【0033】図7に示された実施例の製造方法を説明する。図2及び図6の実施例と同様に、半導体基体に、4層構造及び各電極を形成する。この後、オフ状態における半導体素子の端部での洩れ電流を少なくするために、上部中間電極板35及び下部中間電極板36と接触する半導体基体の領域に、電子線を一樣に照射して、上部中間電極板35及び下部中間電極板36間の半導体基体のライフタイムを、照射していない部分の1/2倍程度にする。この後、半導体基体の端面部分のベベル加工、パッシベーション膜の形成等必要な処理を施して、半導体基体をパッケージに組み込む。

【0034】次に、図7に示された半導体装置の上記と異なる製造方法を説明する。まずnエミッタ層21、pベース層22、nベース層23およびpエミッタ層24からなる4層構造を形成する。その後、オフ状態における半導体素子の端部での洩れ電流を少なくするために、上部中間電極板35及び下部中間電極板36が接触しない半導体基体内の領域に、レーザなどを用いて部分的に熱処理を行うことにより、上部中間電極板35及び下部中間電極板36が接触しない半導体基体内の領域のライフタイムが、上部中間電極板35及び下部中間電極板36が接触する半導体基体内の領域のライフタイムの2倍程度にする。続いて、カソード電極31及びアノード電極34及びパイロットサイリスタのカソード電極32及び補助サイリスタのカソード電極33を形成する。この後、半導体基体の端面部分のベベル加工、パッシベーション膜の形成等必要な処理を施して、パッケージに組み込み素子を製造する。

8

【0035】本実施例によれば、低ライフタイム領域が不要になるので、バルク内で発生する洩れ電流が小さくなるとともに、製造方法が簡単になる。

【0036】図8は、本発明を実施したダイオードの断面構造を示す。ここで、図1と同じ部分には同一の符号を用いた。ダイオードはn型半導体層61、p型半導体層62の2層構造からなり、n型半導体層61はカソード電極31に、p型半導体層62はアノード電極34に接している。さらに、カソード電極31は上部中間電極板35を介して上部電極ポスト36に、またアノード電極34は下部中間電極板36を介して下部電極ポスト36により加圧されている。素子端部は、放電及び耐圧低下を防止するためにベベルされ、パッシベーション膜41により覆われている。本発明では、上部中間電極板35及び下部中間電極板36が当たらない部分の熱の発生量を抑制し、半導体端部での洩れ電流を抑制するための低ライフタイム領域11及び高ライフタイム領域12を有する。本発明においても、図3～図5に示したサイリスタの製造方法を全く同様に適用できる。

【0037】以上、本発明を実施したサイリスタおよびダイオードの例について説明したが、本発明は、ゲートターンオフサイリスタやパワートランジスタなどの他の圧接型半導体装置にも適用可能である。また、中間電極板を加圧接触させる場合のみならず、半導体基体の電極に接着する場合にも適用できる。さらに、素子端面は、ベベル構造のみならず、ガードリングなどのプレーナ構造であっても良い。なお、各実施例において、各半導体層の導電型(pとn)を逆にしたものに対しても、本発明は同様の効果を持っている。

【0038】

【発明の効果】本発明によれば、オン状態での半導体基体面内で外部電極が当たらない部分の熱の発生量を抑制すると同時に、オフ状態では、半導体端部での洩れ電流を少なくし熱発生を減らすことができる。これにより、熱損失が低減しかつ破壊耐量が向上する。

【図面の簡単な説明】

【図1】本発明の一実施例である圧接型サイリスタの断面構造。

【図2】図1の実施例の変形例。

【図3】図2の実施例の製造方法。

【図4】図2の実施例の製造方法。

【図5】図2の実施例の製造方法。

【図6】本発明の他の実施例である圧接型サイリスタ。

【図7】本発明の別の実施例。

【図8】本発明を実施したダイオードの断面構造。

【符号の説明】

11…低ライフタイム領域、12…高ライフタイム領域、21…nエミッタ層、22…pベース層、23…nベース層、24…pエミッタ層、31…カソード電極、32…パイロットサイリスタのカソード電極、33…補

助サイリスタのカソード電極、34…アノード電極、35…上部中間電極板、36…下部中間電極板、37…上

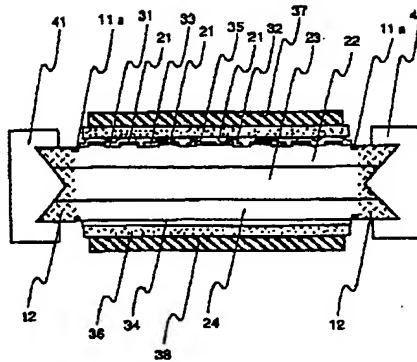
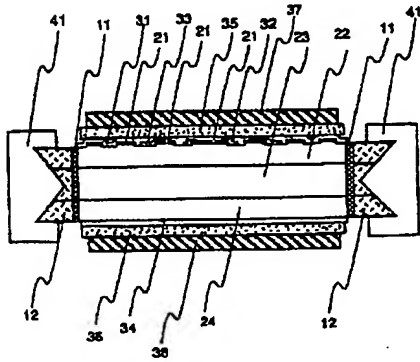
部電極ポスト、38…下部電極ポスト、41…バッシベーション膜。

【図1】

【図2】

図 1

図 2



【図3】

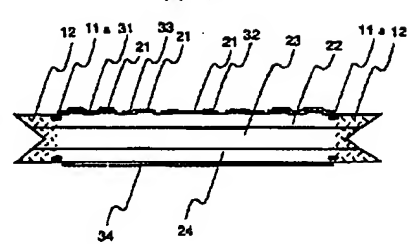
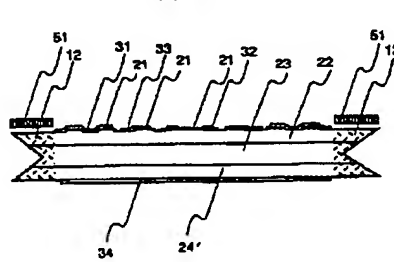
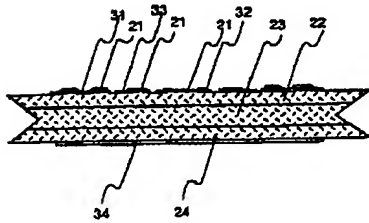
【図4】

【図5】

図 3

図 4

図 5

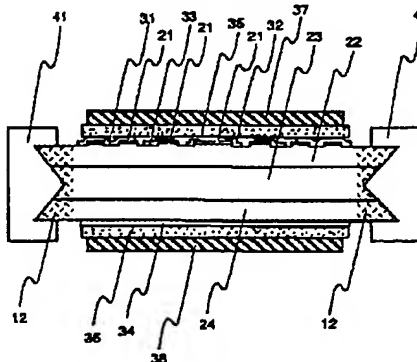
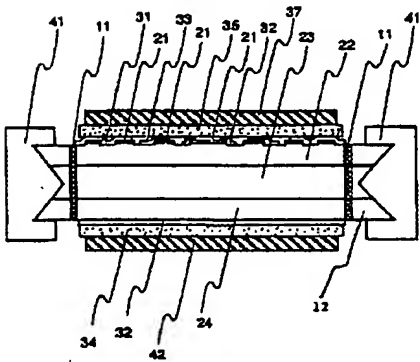


【図6】

【図7】

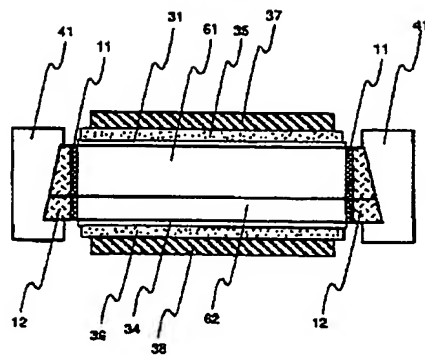
図 6

図 7



【図8】

図 8



フロントページの続き

(72)発明者 村上 進

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内